

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2004年 6月 9日

出願番号

Application Number:

特願 2004-171853

パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is

J P 2004-171853

出願人

Applicant(s):

松下電器産業株式会社

2005年 7月 6日

特許庁長官
Commissioner,
Japan Patent Office

八月六日

日本特許庁
長官印

【官知由】
【整理番号】 5037650131
【提出日】 平成16年 6月 9日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 12/00
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】 炭田 昌哉
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100077931
【弁理士】
【氏名又は名称】 前田 弘
【選任した代理人】
【識別番号】 100094134
【弁理士】
【氏名又は名称】 小山 廣毅
【選任した代理人】
【識別番号】 100110939
【弁理士】
【氏名又は名称】 竹内 宏
【選任した代理人】
【識別番号】 100110940
【弁理士】
【氏名又は名称】 嶋田 高久
【選任した代理人】
【識別番号】 100113262
【弁理士】
【氏名又は名称】 竹内 祐二
【選任した代理人】
【識別番号】 100115059
【弁理士】
【氏名又は名称】 今江 克実
【選任した代理人】
【識別番号】 100115691
【弁理士】
【氏名又は名称】 藤田 篤史
【選任した代理人】
【識別番号】 100117581
【弁理士】
【氏名又は名称】 二宮 克也
【選任した代理人】
【識別番号】 100117710
【弁理士】
【氏名又は名称】 原田 智雄
【電話番号】 06-6125-2255
【連絡先】 担当

【選択した八種八】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 16,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【請求項 1】

メモリセルアレイに形成され、情報を保持する第1及び第2の情報保持回路と、前記第1の情報保持回路のみに接続された情報入出力用の第1のポート部と、前記第2の情報保持回路のみに接続された情報入出力用の第2のポート部と、入れ替え制御信号を受けて、前記第1の情報保持回路に保持された情報と前記第2の情報保持回路に保持された情報を前記メモリセルアレイ内で相互に入れ替える入れ替え回路とを備えたことを特徴とする半導体集積回路。

【請求項 2】

前記請求項1記載の半導体集積回路において、前記第1及び第2のポート部は、各々、トランジスタ回路で構成され、前記第1及び第2のポート部のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成されることを特徴とする半導体集積回路。

【請求項 3】

前記請求項2記載の半導体集積回路において、前記第1及び第2のポート部は、相互に、アクセス頻度が異なり、閾値電圧の高いトランジスタで構成された側のポート部のアクセス頻度は、閾値電圧の低いトランジスタで構成された側のポート部のアクセス頻度よりも、低いことを特徴とする半導体集積回路。

【請求項 4】

前記請求項1記載の半導体集積回路において、前記第1及び第2のポート部は、相互に、供給を受ける電源電圧が異なることを特徴とする半導体集積回路。

【請求項 5】

前記請求項4記載の半導体集積回路において、電源電圧の低い側のポート部のアクセス頻度は、電源電圧の高い側のポート部のアクセス頻度よりも、低いことを特徴とする半導体集積回路。

【請求項 6】

前記請求項1記載の半導体集積回路において、前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、前記第1及び第2の情報保持回路のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成されることを特徴とする半導体集積回路。

【請求項 7】

前記請求項6記載の半導体集積回路において、前記閾値電圧の高いトランジスタで構成された側の情報保持回路のアクセス頻度は、閾値電圧の低いトランジスタで構成された側の情報保持回路のアクセス頻度よりも、低いことを特徴とする半導体集積回路。

【請求項 8】

前記請求項1記載の半導体集積回路において、前記第1及び第2の情報保持回路は、相互に、供給を受ける電源電圧が異なることを特徴とする半導体集積回路。

【請求項 9】

前記請求項8記載の半導体集積回路において、電源電圧の低い側の情報保持回路のアクセス頻度は、電源電圧の高い側の情報保持回路のアクセス頻度よりも、低いことを特徴とする半導体集積回路。

前記請求項1記載の半導体集積回路において、
前記入れ替え回路は、情報を一時的に保持する一時的保持回路を有し、
前記第1及び第2の情報保持手段に保持された情報は、前記入れ替え制御信号に基づいて、前記一時的保持回路を介して相互に入れ替わる
ことを特徴とする半導体集積回路。

【請求項11】

前記請求項1記載の半導体集積回路において、
前記第1及び第2の情報保持回路に保持された情報が相互に入れ替わった入れ替え終了を検出し、この終了の検出時に前記入れ替え制御信号の出力が停止される
ことを特徴とする半導体集積回路。

【請求項12】

前記請求項1記載の半導体集積回路において、
前記第1及び第2の情報保持回路に保持させるべき情報が、これらの第1及び第2の情報保持回路に保持されたことを検出し、この検出後に、前記第1及び第2の情報保持回路に保持された情報の相互入れ替えが行われる
ことを特徴とする半導体集積回路。

【請求項13】

前記請求項1記載の半導体集積回路において、
前記第1及び第2のポート部は、各々、トランジスタ回路で構成され、
前記第1及び第2のポート部のトランジスタ回路は、各々、自己のポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、
アクセス速度の遅いポート部のトランジスタ回路のトランジスタ幅は、アクセス速度の速いポート部のトランジスタ回路のトランジスタ幅よりも、狭い
ことを特徴とする半導体集積回路。

【請求項14】

前記請求項1記載の半導体集積回路において、
前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、
前記第1及び第2の情報保持回路のトランジスタ回路は、各々、自己の情報保持回路に接続されたポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、
アクセス速度の遅い側の情報保持回路のトランジスタ回路のトランジスタ幅は、アクセス速度の速い側の情報保持回路のトランジスタ回路のトランジスタ幅よりも、狭い
ことを特徴とする半導体集積回路。

【請求項15】

前記請求項10記載の半導体集積回路において、
前記一時的保持回路は、ラッチ回路で構成される
ことを特徴とする半導体集積回路。

【請求項16】

前記請求項15記載の半導体集積回路において、
前記ラッチ回路は、差動回路である
ことを特徴とする半導体集積回路。

【請求項17】

前記請求項8記載の半導体集積回路において、
前記入れ替え回路は、
電源電圧の低い側の情報保持回路に保持された情報を一時的に保持し、この保持した情報を電源電圧の高い側の情報保持回路に出力するラッチ回路を備えた
ことを特徴とする半導体集積回路。

【請求項18】

前記請求項1記載の半導体集積回路において、
前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、各々、トラン

ノヘノ凹凸ニ構成シル。

前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート部及び前記第2の情報保持回路からなる組とは、各々、基板電圧制御回路を有し、

前記基板電圧制御回路は、各々、

自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、自己の組のポート部のアクセス頻度に応じた閾値電圧に制御する

ことを特徴とする半導体集積回路。

【請求項19】

前記請求項1記載の半導体集積回路において、

前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート部及び前記第2の情報保持回路からなる組とは、各々、電源電圧制御回路を有し、

前記電源電圧制御回路は、各々、

自己のポート部における情報の読み出し時間及び書き込み時間に応じて、自己のポート部及び情報保持回路に供給する電源電圧を制御する

ことを特徴とする半導体集積回路。

【請求項20】

前記請求項1記載の半導体集積回路において、

前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、

前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート部及び前記第2の情報保持回路からなる組とは、各々、基板電圧制御回路及び電源電圧制御回路を有し、

前記基板電圧制御回路は、各々、

自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、所定の閾値電圧に制御し、

前記電源電圧制御回路は、各々、

自己のポート部における情報の読み出し時間及び書き込み時間が各々設定時間になるよう、自己のポート部及び情報保持回路に供給する電源電圧を制御する

ことを特徴とする半導体集積回路。

【請求項21】

前記請求項1記載の半導体集積回路において、

前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、複数のトランジスタを並列配置したトランジスタ並列部に形成され、

動作速度の遅い側のポート部及び情報保持回路は、前記トランジスタ並列部の端部に位置し、

動作速度の速い側のポート部及び情報保持回路は、前記トランジスタ並列部の内側に位置する

ことを特徴とする半導体集積回路。

【請求項22】

前記請求項11記載の半導体集積回路において、

前記第1及び第2の情報保持回路が形成されたセルアレイの中に形成された第1及び第2のダミー情報保持回路を備え、

前記入れ替え制御信号は、

前記第1及び第2のダミー情報保持回路に保持された情報が実際に相互に入れ替わった切り替え時間が反映され、この切り替え時間の経過後に出力が停止される

ことを特徴とする半導体集積回路。

【請求項23】

前記請求項1記載の半導体集積回路において、

前記第1のポート部は、その形成された基板が前記第2のポート部とは基板分離されている

【請求項 24】

前記請求項1記載の半導体集積回路において、
前記第1の情報保持回路は、その形成された基板が前記第2の情報保持回路とは基板分離されている
ことを特徴とする半導体集積回路。

【請求項 25】

前記請求項10記載の半導体集積回路において、
前記一時的保持回路は、
トランジスタ回路により構成され、且つ、構成されるトランジスタは、前記切り替え制御信号のアクセス頻度に応じた閾値設定がされている
ことを特徴とする半導体集積回路。

【請求項 26】

前記請求項10記載の半導体集積回路において、
前記一時的保持回路は、
供給される電源電圧が、前記切り替え制御信号のアクセス頻度に応じた電圧に設定されている
ことを特徴とする半導体集積回路。

【技術分野】

【0001】

本発明は、半導体集積回路、特に、多ポートを持つレジスタファイルの構成に関する。

【背景技術】

【0002】

従来、半導体集積回路において、多ポートレジスタファイルを持つ場合には、この多ポートレジスタファイルに複数の機能ブロックを接続し、これら複数の機能ブロックによるデータの並列処置を行い得るようにしている。

【0003】

例えば、特許文献1では、レジスタファイルを、書き込みポート数が2で読み出しポート数も2である多ポート型(2Write2Read(2W2R)型)とし、1W1R型の機能ブロックと他の1W1R型の機能ブロックとを前記2W2Rポート型のレジスタファイルに接続している。すなわち、この2W2Rポート型のレジスタファイルは、1つのメモリセルに対して、2個の読み出しポートと2個の書き込みポートとを用意し、1個の読み出しポート及び1個の書き込みポートを第1の機能ブロックに接続すると共に、他の1個の読み出しポート及び他の1個の書き込みポートを第2の機能ブロックに接続する構成としている。

【0004】

また、前記メモリセルを含むトランジスタ回路では、従来、その構成トランジスタの閾値電圧、その構成トランジスタへの供給電圧、その構成トランジスタの活性化率、及びその消費電力との間には、与えられた所定活性化率の下では消費電力を最少にする閾値電圧及び供給電圧が存在することが、例えば非特許文献1に記載されている。

【特許文献1】特開平11-175394号公報(図13)

【非特許文献1】K. Nose et al., Optimization of VDD and VTH for low-power and high-speed applications, ASPDAC'00, pp. 469-474, Jan. 2000.

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、前記従来の多ポート型レジスタファイルを有する半導体集積回路では、次の欠点がある。

【0006】

すなわち、従来の多ポート型レジスタファイルでは、既述の通り、接続される複数の機能ブロックの書き込みポート及び読み出しポートの合計数のポートが、1個のメモリセル毎に用意される。このため、多ポート型レジスタファイルは面積が増大する欠点がある。

【0007】

更に、前記従来の多ポート型レジスタファイルでは、例えば、接続される1つの機能ブロックの活性化率(アクセス頻度)が高く、他の機能ブロックの活性化率が低い場合に、一方の活性化率の下で消費電力を最少に最適化するための供給電圧やトランジスタの閾値電圧が存在するものの、他方の活性化率でメモリセルを使用する際には、その供給電圧や閾値電圧は最適値とならないため、消費電力は最少化されず、無駄な消費電力が存在する課題があった。

【0008】

そこで、例えば、従来のようにメモリセルを複数の機能ブロック間で共用する構成を採用せず、各機能ブロックでは専用のメモリセルを使用する構成を採用することが考えられる。この考え方の下では、専用のメモリセル別に、その専用の機能ブロックの活性化率に対応した供給電圧や閾値電圧を設定することができて、消費電力を有効に削減できる。しかも、専用のメモリセルには、その専用の機能ブロックが有する読み出しポート及び書き込みポートの合計ポート数だけを設ければ良く、他の機能ブロックが有するポートの数だけ

【0009】

しかし、前記考えでは、ある機能ブロックが必要とするデータが、その専用のメモリセルではなく、他の機能ブロックの専用メモリセルに格納されている場合には、そのデータを自己の専用メモリセルに入れ替える作業を行い、その後、そのデータの読み出しを自己の専用メモリセルから行う必要が生じる。この場合に、例えは、自己の専用メモリセルに既に格納されているデータを一旦、外部レジスタに退避し、その後、他の機能ブロックの専用メモリセルからデータを自己の専用メモリセルに転送する構成を採用することが考えられるが、この考えでは、外部に設ける退避レジスタや、これに接続するデータバス等を必要とし、データのアクセスに時間を要すると共に、面積の増大を招くという課題が生じる。

【0010】

本発明は、前記の課題に着目し、その目的は、1つのメモリセルに対する必要ポート数を削減しながら、且つデータのアクセスを短時間で行い得る多ポート型レジスタファイルを有する半導体集積回路を提供することにある。

【課題を解決するための手段】

【0011】

前記の目的を達成するために、本発明では、各機能ブロックでは専用のメモリセルを使用する構成を基本的に採用しつつ、一方の機能ブロックで他方の機能ブロック専用のメモリセルのデータが必要となった際には、メモリセル間のデータの入れ替えをメモリセルアレイ内で行う構成を採用する。

【0012】

具体的に、請求項1記載の発明の半導体集積回路は、メモリセルアレイに形成され、情報を保持する第1及び第2の情報保持回路と、前記第1の情報保持回路のみに接続された情報入出力用の第1のポート部と、前記第2の情報保持回路のみに接続された情報入出力用の第2のポート部と、入れ替え制御信号を受けて、前記第1の情報保持回路に保持された情報と前記第2の情報保持回路に保持された情報とを前記メモリセルアレイ内で相互に入れ替える入れ替え回路とを備えたことを特徴とする。

【0013】

請求項2記載の発明は、前記請求項1記載の半導体集積回路において、前記第1及び第2のポート部は、各々、トランジスタ回路で構成され、前記第1及び第2のポート部のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成されることを特徴とする。

【0014】

請求項3記載の発明は、前記請求項2記載の半導体集積回路において、前記第1及び第2のポート部は、相互に、アクセス頻度が異なり、閾値電圧の高いトランジスタで構成された側のポート部のアクセス頻度は、閾値電圧の低いトランジスタで構成された側のポート部のアクセス頻度よりも、低いことを特徴とする。

【0015】

請求項4記載の発明は、前記請求項1記載の半導体集積回路において、前記第1及び第2のポート部は、相互に、供給を受ける電源電圧が異なることを特徴とする。

【0016】

請求項5記載の発明は、前記請求項4記載の半導体集積回路において、電源電圧の低い側のポート部のアクセス頻度は、電源電圧の高い側のポート部のアクセス頻度よりも、低いことを特徴とする。

【0017】

請求項6記載の発明は、前記請求項1記載の半導体集積回路において、前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、前記第1及び第2の情報保持回路のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成されることを特徴とする。

請求項 7 記載の発明は、前記請求項 6 記載の半導体集積回路において、前記閾値電圧の高いトランジスタで構成された側の情報保持回路のアクセス頻度は、閾値電圧の低いトランジスタで構成された側の情報保持回路のアクセス頻度よりも、低いことを特徴とする。

【0019】

請求項 8 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 の情報保持回路は、相互に、供給を受ける電源電圧が異なることを特徴とする。

【0020】

請求項 9 記載の発明は、前記請求項 8 記載の半導体集積回路において、電源電圧の低い側の情報保持回路のアクセス頻度は、電源電圧の高い側の情報保持回路のアクセス頻度よりも、低いことを特徴とする。

【0021】

請求項 10 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記入れ替え回路は、情報を一時的に保持する一時的保持回路を有し、前記第 1 及び第 2 の情報保持手段に保持された情報は、前記入れ替え制御信号に基づいて、前記一時的保持回路を介して相互に入れ替わることを特徴とする。

【0022】

請求項 11 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 の情報保持回路に保持された情報が相互に入れ替わった入れ替え終了を検出し、この終了の検出時に前記入れ替え制御信号の出力が停止されることを特徴とする。

【0023】

請求項 12 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 の情報保持回路に保持させるべき情報が、これらの第 1 及び第 2 の情報保持回路に保持されたことを検出し、この検出後に、前記第 1 及び第 2 の情報保持回路に保持された情報の相互入れ替えが行われることを特徴とする。

【0024】

請求項 13 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 のポート部は、各々、トランジスタ回路で構成され、前記第 1 及び第 2 のポート部のトランジスタ回路は、各々、自己のポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、アクセス速度の遅いポート部のトランジスタ回路のトランジスタ幅は、アクセス速度の速いポート部のトランジスタ回路のトランジスタ幅よりも、狭いことを特徴とする。

【0025】

請求項 14 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 の情報保持回路は、各々、トランジスタ回路で構成され、前記第 1 及び第 2 の情報保持回路のトランジスタ回路は、各々、自己の情報保持回路に接続されたポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、アクセス速度の遅い側の情報保持回路のトランジスタ回路のトランジスタ幅は、アクセス速度の速い側の情報保持回路のトランジスタ回路のトランジスタ幅よりも、狭いことを特徴とする。

【0026】

請求項 15 記載の発明は、前記請求項 10 記載の半導体集積回路において、前記一時的保持回路は、ラッチ回路で構成されることを特徴とする。

【0027】

請求項 16 記載の発明は、前記請求項 15 記載の半導体集積回路において、前記ラッチ回路は、差動回路であることを特徴とする。

【0028】

請求項 17 記載の発明は、前記請求項 8 記載の半導体集積回路において、前記入れ替え回路は、電源電圧の低い側の情報保持回路に保持された情報を一時的に保持し、この保持した情報を電源電圧の高い側の情報保持回路に出力するラッチ回路を備えたことを特徴とする。

請求項 18 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 のポート部並びに前記第 1 及び第 2 の情報保持回路は、各々、トランジスタ回路で構成され、前記第 1 のポート部及び前記第 1 の情報保持回路からなる組と、前記第 2 のポート部及び前記第 2 の情報保持回路からなる組とは、各々、基板電圧制御回路を有し、前記基板電圧制御回路は、各々、自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、自己の組のポート部のアクセス頻度に応じた閾値電圧に制御することを特徴とする。

【0030】

請求項 19 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 のポート部及び前記第 1 の情報保持回路からなる組と、前記第 2 のポート部及び前記第 2 の情報保持回路からなる組とは、各々、電源電圧制御回路を有し、前記電源電圧制御回路は、各々、自己のポート部における情報の読み出し時間及び書き込み時間に応じて、自己のポート部及び情報保持回路に供給する電源電圧を制御することを特徴とする。

【0031】

請求項 20 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 のポート部並びに前記第 1 及び第 2 の情報保持回路は、各々、トランジスタ回路で構成され、前記第 1 のポート部及び前記第 1 の情報保持回路からなる組と、前記第 2 のポート部及び前記第 2 の情報保持回路からなる組とは、各々、基板電圧制御回路及び電源電圧制御回路を有し、前記基板電圧制御回路は、各々、自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、所定の閾値電圧に制御し、前記電源電圧制御回路は、各々、自己のポート部における情報の読み出し時間及び書き込み時間が各々設定時間になるように、自己のポート部及び情報保持回路に供給する電源電圧を制御することを特徴とする。

【0032】

請求項 21 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 及び第 2 のポート部並びに前記第 1 及び第 2 の情報保持回路は、複数のトランジスタを並列配置したトランジスタ並列部に形成され、動作速度の遅い側のポート部及び情報保持回路は、前記トランジスタ並列部の端部に位置し、動作速度の速い側のポート部及び情報保持回路は、前記トランジスタ並列部の内側に位置することを特徴とする。

【0033】

請求項 22 記載の発明は、前記請求項 11 記載の半導体集積回路において、前記第 1 及び第 2 の情報保持回路が形成されたセルアレイの中に形成された第 1 及び第 2 のダミー情報保持回路を備え、前記入れ替え制御信号は、前記第 1 及び第 2 のダミー情報保持回路に保持された情報が実際に相互に入れ替わった切り替え時間が反映され、この切り替え時間の経過後に出力が停止することを特徴とする。

【0034】

請求項 23 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 のポート部は、その形成された基板が前記第 2 のポート部とは基板分離されていることを特徴とする。

【0035】

請求項 24 記載の発明は、前記請求項 1 記載の半導体集積回路において、前記第 1 の情報保持回路は、その形成された基板が前記第 2 の情報保持回路とは基板分離されていることを特徴とする。

【0036】

請求項 25 記載の発明は、前記請求項 10 記載の半導体集積回路において、前記一時的保持回路は、トランジスタ回路により構成され、且つ、構成されるトランジスタは、前記切り替え制御信号のアクセス頻度に応じた閾値設定がされていることを特徴とする。

【0037】

請求項 26 記載の発明は、前記請求項 10 記載の半導体集積回路において、前記一時的

付寸凹部は、仄和される電源電圧が、別記のソ音ノ例仰はクソノノセヘ既成に心しに電圧に設定されていることを特徴とする。

【0038】

以上により、請求項1～26記載の発明の半導体集積回路では、第1の情報保持回路は第1のポート部に基本的に専用であり、第2の情報保持回路は第2のポート部に基本的に専用であるので、これら情報保持回路には、自己の専用ポート部以外のポート部の分、ポート数が削減される。しかも、例えは、第1の情報保持回路の情報を第2のポート部から読み出す必要が生じた際には、第1の情報保持回路の情報がメモリセルアレイ内で入れ替え回路により第2の情報保持回路に入れ替えられるので、外部に退避レジスタ等を設けて情報の入れ替え作業を行う場合に比して、情報のアクセス速度が速くなり、短時間でのアクセスが可能である。

【0039】

しかも、第1の情報保持回路の情報は常に専用の第1のポート部から読み込み/書き込みされるので、第1の情報保持回路や第1のポート部について、その供給する電源電圧や、その構成トランジスタの閾値電圧を、その専用の第1のポート部のアクセス頻度（活性化率）に応じた値に設定することができ、第1の情報保持回路及び第1のポート部の消費電力を最少に最適化することができる。このことは、第2の情報保持回路及び第2のポート部についても、同様である。

【0040】

更に、請求項17記載の発明では、2つの情報保持回路間での情報の入れ替えは、ラッチ回路を介して行われる。この際、低電源電圧で動作する側の情報保持回路の情報が前記ラッチ回路にラッチされ、その後に、高電源電圧で動作する側の情報保持回路に出力されるので、低電源電圧側の情報保持回路の情報を高電源電圧側の情報保持回路に良好に入れ替えすることができる。従って、低電源電圧側の情報保持回路では、その電源電圧が低電圧であっても問題ない。

【0041】

加えて、請求項21記載の発明では、トランジスタ並列部のうち、STI（Shallow Trench Isolation 素子分離領域）の影響が強く出てトランジスタの性能劣化が懸念される端部では、動作速度の遅い側のポート部及び情報保持回路が配置され、トランジスタ並列部の内側でSTIの影響が弱い領域では、動作速度の速い側のポート部及び情報保持回路が配置されているので、その動作速度の速い側のポート部及び情報保持回路の動作の高速性及び安定性が良好に確保される。

【0042】

更に加えて、請求項22記載の発明では、2つの情報保持回路間での情報の入れ替えに際しては、メモリセルアレイに形成された2個のダミー情報保持回路間の情報の実際の入れ替え時間が反映されるので、製造プロセスのはらつき、温度、電圧などの外部環境による影響をさほど受けずに、情報保持回路間での情報の入れ替えを確実に行うことができ、動作の安定化が実現できる。

【発明の効果】

【0043】

以上説明したように、請求項1～26記載の発明の半導体集積回路によれば、各ポート部を自己に専用の情報保持回路のみに接続したので、各情報保持回路のポート数を顕著に削減できると共に、各ポート部から自己に専用の情報保持回路以外の他の情報保持回路の情報を読み出す必要時には、メモリセルアレイ内に設けた入れ替え回路によって、前記他の情報保持回路の情報を自己に専用の情報保持回路に入れ替えたので、情報のアクセス速度を速く保持でき、短時間でのアクセスが可能である。更に、ポート部及びこれに専用の情報保持回路から成る組別に、自己の組のポート部のアクセス頻度（活性化率）に応じた電源電圧、構成トランジスタの閾値電圧を設定できて、各組の消費電力を低減できる効果を奏する。

【0044】

又に、前記第1の記載の発明によれば、低電源電圧側の情報保持回路に入れ替えしながら、低電源電圧側の情報保持回路におけるその電源電圧の低電圧化が可能である。

【0045】

加えて、請求項21記載の発明によれば、動作速度の速い側のポート部及び情報保持回路をトランジスタ並列部のうちSTIの影響を受け難い内側に配置したので、その高速動作性及び安定性を良好に維持できる。

【0046】

更に加えて、請求項22記載の発明によれば、2つの情報保持回路間での情報の入れ替えに際して、ダミー情報保持回路間の情報の実際の入れ替え時間を反映させたので、製造プロセスのばらつき、温度、電圧などの外部環境による影響をさほど受けずに、情報保持回路間での情報の入れ替えを確実に行うことができ、動作の安定化を実現できる。

【発明を実施するための最良の形態】

【0047】

以下、本発明の実施形態の半導体集積回路を図面に基づいて説明する。

【0048】

(第1の実施形態)

図1は、本発明の第1の実施形態の半導体集積回路の全体構成を示す。

【0049】

同図において、1はレジスタファイル、2A及び2Bは各々機能ブロックである。前記レジスタファイル1は、書き込みポート数が2で読み出しポート数が3の2W3Rポート型である。一方の機能ブロック2Aは書き込みポート数が1で読み出しポート数が2の1W2Rポート型であり、他方の機能ブロック2Bは書き込みポート数及び読み出しポート数が共に1の1W1Rポート型である。従って、レジスタファイル1と一方の機能ブロック2Aとは、1本の書き込みデータ線A-W1及び2本の読み出しデータ線A-R1、A-R2と接続され、レジスタファイル1と他方の機能ブロック2Bとは、各々1本の書き込みデータ線B-W1及び読み出しデータ線B-R1と接続される。

【0050】

前記レジスタファイル1には、メモリセルアレイ5、書き込み/読み出し回路6、デコード回路7、制御回路8、遅延電圧変換回路9及びDLI回路10が備えられる。前記メモリセルアレイ5は、更に、正規メモリセル群5aと、5個のダミーメモリセル群5b～5fとを備える。これ等のダミーメモリセル群5b～5fは、正規メモリセル群5aのピット線形状、ワード線形状及びメモリセル形状が同一に反映されている。前記書き込み/読み出し回路6は、前記2つの機能ブロック2A、2Bと2本の書き込みデータ線A-W1、B-W1及び3本の読み出しデータ線A-R1、A-R2、B-R1と接続される。前記制御回路8には、前記2個の機能ブロック2A、2Bとの間でデータの書き込み/読み出しを行うためのアドレス信号、読み出し活性化信号及び書き込み活性化信号が入力され、前記DLI回路10には、クロック信号が入力される。

【0051】

更に、図1に示した半導体集積回路には、3個の電源電圧制御回路12a、12b、12cと、3個の基板電圧制御回路13a、13b、13cが備えられるが、これ等の詳細については後述する。

【0052】

図2は、前記正規メモリセル群5aに対するデータ(情報)の書き込み/読み出し構造の詳細を示す。同図において、20Aは前記1W2R型の機能ブロック2Aに専用の第1の保持回路(第1の情報保持回路)、30Bは前記他方の1W1R型の機能ブロック2Bに専用の第2の保持回路(第2の情報保持回路)であり、各々、2個のインバータ回路I1、I2から成る。前記第1の保持回路20Aには、前記1W2R型の機能ブロック2Aに専用の1個の第1の書き込みポート部(第1のポート部)21AW、及び2個の第1の読み出しポート部(第1のポート部)21AR1、21AR2が接続される。前記第1の

書込みポート部21AR1、21AR2は、各自、2個のN型トランジスタTr3、Tr4から成ると共に、書き込みデータ線A-W1を介して機能ブロック2Aに接続され、前記2個の読み出しポート部21AR1、21AR2は、各々、2個のN型トランジスタTr3、Tr4から成ると共に、読み出しデータ線A-R1、A-R2を介して機能ブロック2Aに接続される。前記書き込みポート部21AWのN型トランジスタTr2のゲートには、データ書き込み用のワード線WLWAが接続され、各読み出しポート部21AR1、21AR2のN型トランジスタTr4ゲートにはデータ読み出し用ワード線WLRA1、WLRA2が接続される。

【0053】

同様に、前記第2の保持回路30Bには、前記1W1R型の機能ブロック2Bに専用の1個の第2の書き込みポート部(第2のポート部)31AW、及び1個の第2の読み出しポート部(第2のポート部)31ARが接続される。前記第2の書き込みポート部31AWは、前記第1の書き込みポート部21AWと同様に各1個のP型及びN型トランジスタTr1、Tr2から成ると共に、書き込みデータ線B-W1を介して機能ブロック2Bに接続され、前記読み出しポート部31ARは、前記読み出しポート部21AR1と同様に2個のN型トランジスタTr3、Tr4から成ると共に、読み出しデータ線B-R1を介して機能ブロック2Bに接続される。前記書き込みポート部31AWのN型トランジスタTr2のゲートには、データ書き込み用のワード線WLWBが接続され、各読み出しポート部31ARのN型トランジスタTr4ゲートにはデータ読み出し用ワード線WLRBが接続される。

【0054】

更に、図2において、40はラッチ回路(一時的保持回路)であって、4個のP型トランジスタTr5～Tr8と3個のN型トランジスタTr9～Tr11とを備えた差動回路から成る。41及び42は転送回路であって、各々、4個のN型トランジスタTr12～Tr15、Tr16～Tr19を備える。前記ラッチ回路40は、前記第2の機能ブロック2B専用の第2の保持回路30Bに接続され、内蔵するN型トランジスタTr11のゲートにHレベルの制御信号B→LENが入力された時に、前記第2の保持回路30Bの保持データをラッチする。前記一方の転送回路41は、前記ラッチ回路40と前記第1の保持回路20Aとに接続され、2個のN型トランジスタTr13、Tr15のゲートに制御信号L→AENが入力された時に、前記ラッチ回路40のラッチデータを第1の保持回路20Aに転送する。更に、他方の転送回路42は、第1の保持回路20Aと第2の保持回路30Bとに接続され、2個のN型トランジスタTr17、Tr19のゲートに制御信号A→BENが入力された時に、前記第1の保持回路20Aの保持データを第2の保持回路30Bに転送する。従って、前記ラッチ回路40及び前記2個の転送回路41、42により、第1及び第2の保持回路20A、30B間でデータの入れ替えを行う入れ替え回路43を構成している。

【0055】

図3は、前記入れ替え回路43によるデータの入れ替えシーケンスを示すタイミングチャートを示す。同図では、最初、制御信号B→LENが活性化され、これによりラッチ回路40が第2の保持回路30Bの保持データをラッチする。その後、制御信号A→BENが活性化されて、第1の保持回路20Aの保持データが第2の保持回路30Bに転送される。そして、第2の保持回路30Bに第1の保持回路20Aのデータが格納されると、その後、制御信号A→BENが非活性化され、続いて、制御信号L→AENが活性化されて、前記ラッチ回路40でラッチされていた第2の保持回路30Bのデータが第1の保持回路20Aに転送される。その後、制御信号B→LEN及び制御信号L→AENが非活性となって、第1及び第2の保持回路20A、30B間のデータ入れ替えが完了する。

【0056】

ここに、図1及び図2から判るように、第1の保持回路20Aは、1W2Rの第1の機能ブロック2Aに基本的に専用であり、第2の保持回路30Bは、1W1Rの第2の機能ブロック2Bに基本的に専用であるので、第1の保持回路20Aには、1W2Rの第1の

機能ノードノムハソト凹ソ官セ込み小一トロムトハワハソト凹ソ眺め山レ小一トロムトハR1、21AR2のみが接続され、一方、第2の保持回路30Bには、1W1Rの第2の機能ロック2Bの1個の書き込みポート部31BW及び1個の読み出しポート部31BRのみが接続される。従来では、各保持回路20A、30Bに対して、各々、2つの機能ロック2A、2Bの合計ポート数(2W3R)(=5)を配置する必要があったため、これと比較して、本実施形態では、半導体集積回路全体として、ポート数を半減でき、レジスタファイル1の面積を効果的に縮小できる。

【0057】

しかも、例えば、第1の機能ロック2Aが自己に専用の第1の保持回路20Aに対してデータの読み出し/書き込みを行い、且つ、第2の機能ロック2Bが自己に専用の第2の保持回路30Bに対してデータの読み出し/書き込みを行った後、保持回路20A、30B間でデータを入れ替えて使用する必要が生じた場合には、前記メモリセルアレイ5内のラッチ回路40を介して第1及び第2の保持回路20A、30B間でデータの入れ替えが行われる。このデータの入れ替えを、例えば、外部に退避レジスタを配置し、データバスを通じてレジスタファイル1と退避レジスタとを接続して行う場合には、レジスタファイル1のエントリ数の周期分だけ入れ替え時間を要するが、本実施形態では、僅か1周期で完了する。

【0058】

従って、本実施形態のレジスタファイル1では、小面積で且つ高速なデータ書き込み/読み出し性能を発揮する。

【0059】

また、前記図2において、ラッチ回路40は、図2に示したように差動回路で構成されているので、第2の保持回路30Bが低電源電圧で動作するものであっても、この第2の保持回路30Bの保持データをラッチ回路40に良好にラッチすることが可能である。従って、第2の機能ロック2Bに専用の第2の書き込みポート部31BW及び読み出しポート部31BRの活性化率(アクセス頻度)が低い場合や、これ等のポート部31BW、31BRのアクセス速度が他のポート部より遅くてもかまわない場合には、第2の保持回路30Bより一層に低電源電圧に設定することができて、より一層の低消費電力化が可能となる。

【0060】

図4は、前記書き込み及び読み出しの各ポート部21AW、21AR1、21AR2、31BW、31BR、各保持回路20A、30B、及びラッチ回路40の活性化率(アクセス頻度)、構成トランジスタの閾値電圧及び供給を受ける電源電圧の関係を示す。

【0061】

同図では、第1の書き込み及び読み出しポート部21AW、21AR1、21AR2、第1の保持回路20Aの第1の組と、第2の書き込み及び読み出しポート部31AW、31AR、第2の保持回路30Bの第2の組と、ラッチ回路40の第3の組とは、活性化率(アクセス頻度)、構成トランジスタの閾値電圧及び供給を受ける電源電圧が相互に異なる。具体的に、前記第1の組は、前記第2及び第3の組よりも活性化率が高く、この高い活性化率に応じて構成トランジスタの閾値電圧が低く設定されると共に、供給を受ける電源電圧が高く設定される。一方、活性化率の最も低い第3の組では、構成トランジスタの閾値電圧は最も高く、供給を受ける電源電圧は最も低く設定される。活性化率が中間的な第2の組では、構成トランジスタの閾値電圧及び供給を受ける電源電圧は、前記第1の組と第3の組との間の値に設定される。

【0062】

すなわち、トランジスタの活性化率(アクセス頻度)が高い場合には、そのトランジスタの閾値電圧を低く設定すれば、消費電力の低減化が可能であると共に、この閾値電圧の下でトランジスタの動作速度が所定速度を満たすように、そのトランジスタへの電源電圧を設定すれば、所定の動作速度を確保できる。前記のように、各組では、自己の組の活性化率に応じて、構成トランジスタの閾値電圧及び供給を受ける電源電圧が設定されるので

、且社別に、構成トノノンヘノナウソノ電源を別別に供給して且其電力化が可能であると共に、動作速度を所定速度に保証できる。

〔 0 0 6 3 〕

尚、メモリセルアレイ5中の各ポート部及び各保持回路を構成するトランジスタは、その基板が他のポート部及び保持回路の基板とは分離されていることにより、個別に閾値電圧の設定が可能となる。また、各ポート部及び保持回路を、予め、閾値電圧の異なるトランジスタで構成しておけば、より一層に有効な消費電力の低減化が可能である。

【 0 0 6 4 】

また、書き込み又は読み出しの各ポート部のアクセス速度が、その要求するスペックに応じて異なる場合には、その各ポート部間で、構成トランジスタのトランジスタ幅を予め異なったトランジスタ幅に生成しておけば、更に有効な低消費電力化となる。

[0065]

前記図4に示した各組別の構成トランジスタの閾値電圧、及び供給を受ける電源電圧は、図1に示したように、前記各組別に設けた合計3個の基板電圧制御回路13a～13c及び合計3個の電源電圧制御回路12a～12cにより前記設定値に制御される。

[0 0 6 6]

図5は、前記基板電圧制御回路13aの内部構成を例示している。他の基板電圧制御回路13b、13bについても同一構成である。同図に示した基板電圧制御回路13aは、温度変動やプロセス変動に拘わらず、トランジスタの閾値電圧を設定値に保持する回路であって、その出力端子BNが第1の組のポート部及び保持回路を構成するN型トランジスタに基板に接続される。以下、図5に示した基板電圧制御回路13aの内部構成を説明する。

[0 0 6 7]

図5において、基板電圧制御回路13aは、閾値電圧モニター用のN型トランジスタTrnを有する。このN型トランジスタTrnは、前記レジスタファイル1内の正規メモリセル群5a内のN型トランジスタと同一製造工程で製造されたものである。このN型トランジスタTrnには、定電流源80から定電流が供給されている。この定電流源80は、温度依存性がない、例えは定電流特性を示すバンドギャップリファレンス回路等により構成されており、その流す定電流値は、前記正規メモリセル群5a内のN型トランジスタに供給される電源電圧の下で且つそのN型トランジスタの設定閾値電圧の下でそのN型トランジスタが流す飽和電流値と等しい電流値である。前記モニター用のN型トランジスタTrnは、前記定電流源80からの定電流を電流-電圧変換し、その変換後の電圧(ドレン電圧)Vdは、2入力型の比較部81に入力される。

[0 0 6 8]

前記比較部81は、差動増幅器等により構成され、その一方の入力端子には、前記モニター用のN型トランジスタTrnからの変換電圧Vdが入力され、他方の入力端子には、基板電圧制御回路13aの制御対象である例えは第1の書き込み/読み出しポート部21AW、21AR1、21AR2及び第1の保持回路20Aを構成するN型トランジスタへの電源電圧VREFが入力され、その出力側は、電圧リミット部82を介して、出力端子BNに接続されると共に前記モニター用のN型トランジスタTrnの基板に接続される。前記比較部81は、前記両入力電圧Vd、VREFが等しくなるように、前記モニター用のN型トランジスタTrnの基板電圧を制御する。この制御された基板電圧は、前記出力端子BNから出力されて、前記第1の組のポート部及び保持回路を構成するN型トランジスタの基板電圧とされる。尚、前記電圧リミット部82は、出力端子BNからの出力電圧の上限及び下限を、設定上限リミット電圧VU及び設定下限リミット電圧VLに制限する。

[00691]

従って、図5に示した基板電圧制御回路13aでは、供給される電源電圧VREFの下で、制御対象のN型トランジスタの実際飽和電流が一定値に保持制御されるので、その結果として、その制御対象のN型トランジスタの閾値電圧も設定閾値電圧値に保持されるこ

くなる。又、図 1 では、正規メモリセル群 5 a ～ 5 d とノンヘノソ電圧を設定値に保持制御する構成を示したが、P 型トランジスタの基板電圧を設定値に保持制御する場合も同様であるので、その説明を省略する。

【0070】

図 1 に示した電源電圧制御回路 12 a ～ 12 c は、各々基本的に、自己の組の電源電圧を前記図 4 に示した設定電源電圧値に制御する機能を有すると共に、図 1 に示したように、遅延電圧変換回路 9 からの制御信号を受けて、生成する電源電圧の値を調整する。図 1 に示した遅延電圧変換回路 9 及び DLL 回路 10 は、前記第 1 ～ 第 3 の各組について、使用時の温度変動に起因して動作遅延が変動する場合に、その遅延変動を遅延電圧変換回路 9 で電圧変動に変換し、この電圧変動を内容とする制御信号でもって各組の電源電圧制御回路 12 a ～ 12 c の生成電源電圧を調整することにより、各組の動作速度について温度変動の影響を受けないように対策するものである。

【0071】

図 6 は、図 1 に示した DLL 回路 10 の内部構成を示す。また、図 8 は、図 1 に示した遅延電圧変換回路 9 の内部構成を例示している。図 6 の DLL 回路 10 は、読み出しポート、書き込みポート及び入れ替え回路 43 の動作遅延の基準値を生成する。すなわち、DLL 回路 10 は、直列接続した 4 個のバッファ 50 a ～ 50 d から成る電圧制御遅延回路 50 と、この電圧制御遅延回路 50 の出力と所定クロック信号 CL とを受けて両者を比較する比較器 51 と、この比較器 51 の出力を受けて容量 C に充電するチャージポンプ 52 を備え、前記容量 C の充電状態は前記 4 個のバッファ 50 a ～ 50 d にフィードバックされる。そして、電圧制御遅延回路 50 の最初段のバッファ 50 a の出力信号は、出力端子 53 a からダミー読み出しポート部の遅延クロックとして出力され、2 段目のバッファ 50 b の出力信号は、出力端子 53 b からダミー書き込みポート部の遅延クロックとして出力され、3 段目のバッファ 50 c の出力信号は、出力端子 53 c からダミー切り替え遅延クロックとして出力される。これ等の遅延クロック及び所定クロック信号との関係を図 7 に示しておく。前記 3 種の遅延クロックは、予め、レジスタファイル 1 のアクセスバセットにチューニングされている。

【0072】

図 8 に示した遅延電圧変換回路 9 は、前記 DLL 回路 10 から前記 3 種の遅延クロックを受けて動作する。この遅延電圧変換回路 9 は、図 1 に示したダミーメモリセル群 5 b ～ 5 f の何れかに形成されたダミー読み出しポート部 9 a 、ダミー書き込みポート部 9 b 及びダミー切り替え回路 9 c を備える。これ等のダミーポート部及び切り替え回路は、前記正規メモリセル群 5 a に形成したポート部 21 AW ～ 及び切り替え回路 43 と同一構成である。また、遅延電圧変換回路 9 には、前記ダミーのポート部及び切り替え回路に対応した合計 3 個の比較器 9 d ～ 9 f 及びカウンタ 9 g ～ 9 i とが備えられる。

【0073】

そして、遅延電圧変換回路 9 では、所定のクロック信号で動作するダミー読み出しポート部 9 a の出力信号と、前記 DLL 回路 10 からのダミー読み出しポート部の遅延クロック（基準遅延クロック）とを比較器 9 d で比較して、ダミー読み出しポート部 9 a の遅延（読み出し時間）の方が遅い場合には、比較器 9 d からの出力によってカウンタ回路 9 g をインクリメントして、前記第 1 の組用の電源電圧制御回路 12 a の電源電圧値を上昇させるよう制御信号を調整する。同様に、前記 DLL 回路 10 からのダミー読み出しポート部の遅延クロックを受けて動作するダミー書き込みポート部 9 b の出力信号と、前記 DLL 回路 10 からのダミー書き込みポート部の遅延クロック（基準遅延クロック）とを比較器 9 e で比較して、ダミー書き込みポート部 9 b の遅延（書き込み時間）の方が遅い場合には、比較器 9 e からの出力によってカウンタ回路 9 h をインクリメントして、前記第 2 の組用の電源電圧制御回路 12 b の電源電圧値を上昇させるよう制御信号を調整する。更に、前記 DLL 回路 10 からのダミー書き込みポート部の遅延クロックを受けて動作するダミー切り替え回路 9 c の出力信号と、前記 DLL 回路 10 からのダミー切り替え遅延クロック（基準遅延クロック）とを比較器 9 f で比較して、ダミー書き込み回路 9 c の遅延

ノンルーティング口には、比較回路 1 がつり山ノリによつてノンノノ凹凸ノリをノンノノノトして、前記第3の組用の電源電圧制御回路 12c の電源電圧値を上昇させるよう制御信号を調整する。

【0074】

従つて、図6のD L L回路 10 及び図8の遅延電圧変換回路 9 を使用すれば、前記ダミー読み出し/書き込みポート部 9a、9b 及びダミー切り替え回路 9c の動作遅延が温度変動に起因して変動しても、これに応じて、供給される電源電圧が電源電圧制御回路 12a～12c で調整されるので、前記ダミーの回路 9a～9c と同様の遅延を持つ正規の読み出し/書き込みポート部 21AW… 及び切り替え回路 43 の動作遅延を温度変動に拘わらずほぼ所定の一定値に保持することが可能である。

【0075】

図9は、前記書き込み/読み出しポート部 21AW、31BR… や保持回路 20A、30B を生成した多数個のトランジスタのレイアウト構成の概略図を示す。同図では、N型基板 60 上に前記ポート部及び保持回路を構成するトランジスタ列 61 が形成される。このトランジスタ列 61 のうち、端部に位置する複数のトランジスタを用いて、動作速度の比較的遅いポート部及び保持回路を構成し、一方、前記トランジスタ列 61 のうち内側に位置する複数のトランジスタを用いて、動作速度の比較的速いポート部及び保持回路を構成する。この構成の採用により、前記N型基板 60 上では、トランジスタ列 61 の左右に位置する他のトランジスタ列 62、63 との間に素子分離領域 (STI) 65 が配置され、このSTIの影響を受けてトランジスタ列 61 の端部のトランジスタは劣化の程度が大きいが、動作速度の遅いポート部及び保持回路が配置されているので、その劣化の影響が少ない。一方、動作速度の速いポート部及び保持回路は、トランジスタ列 61 の内側に位置していて STI の影響を受け難いトランジスタで構成されるので、その速い動作速度を良好に確保できる。

【0076】

図10は、ダミーメモリセル群 5d 内の複数のダミー保持回路を用いてデータの入れ替えを実際に行った結果を用いて、正規メモリセル群 5a での 2 個の保持回路 20A、30B 間のデータの入れ替えを確実に行うための構成を示す。

【0077】

同図では、ダミーメモリセル群 5d 内の図2相当回路 5d1、5d2 が 2 つ用いられると共に、制御回路 8 には、データ入れ替えの必要時を検出する検出回路 70 と、この検出回路 70 の出力信号を受けて、データ入れ替え用の 6 種の制御信号（入れ替え制御信号）B→LEN-D、B→LEN、A→BEN-D、A→BEN、L→AEN-D、L→AEN を生成する制御信号生成回路 71 とが備えられる。

【0078】

前記 2 つのダミー回路 5d1、5d2 は、図2の回路と基本構成は同様であるので、同一部分には図2の符号に続けて各々符号 D1、D2 を付して、その説明を省略する。前記一方のダミー回路 5d1 は、第1のダミー保持回路（第1のダミー情報保持回路）20A D1 から第2のダミー保持回路（第2のダミー情報保持回路）30B D1 へのデータ入れ替えに要した時間の検出用であり、他方のダミー回路 5d2 は、ダミーラッチ回路 40D2 から第1のダミー保持回路 20A D2 へのデータ入れ替えに要した時間の検出用である。第1のダミー回路 5d1 では、第1の読み出しポート部 21AR2D1 と第2の読み出しポート部 31BRD1 とが制御信号生成回路 71 に接続される。一方、第2のダミー回路 5d2 では、第1の読み出しポート部 21AR1D2 が制御信号生成回路 71 に接続されている。

【0079】

前記検出回路 70 は、バンクセレクト信号を受け、アクセス中のバンクが他のバンクに切り替わる時、換言すれば、第1及び第2の保持回路 20A、30B に保持されるべきデータが保持された後では、前記バンクセレクト信号の電位変化を検出し、データの入れ替えの必要時と判断して、検出信号を出力する。

また、前記制御信号生成回路71は、次のように動作する。すなわち、初期状態として、例えは、一方のダミー回路5d1では、第1のダミー保持回路20AD1には「1」データを、第2のダミー保持回路30BD1及びダミーラッチ回路40D1には共に「0」データを保持させる一方、他方のダミー回路5d2では、第1のダミー保持回路20AD2には「0」データを、第2のダミー保持回路30BD2及びダミーラッチ回路40D2には共に「1」データを保持させる。

【0081】

更に、前記制御信号生成回路71は、前記初期状態の後、前記検出回路70から検出信号を受けたデータ入れ替えの必要時には、前記一方のダミー回路5d1に対して、第1のダミー保持回路20AD1から第2のダミー保持回路30BD1へのデータ入れ替え用の制御信号A→BEN→Dを出力すると共に、所定の時間差をもって図2の正規回路に対して、第1の保持回路20Aから第2の保持回路30Bへのデータ入れ替え用の制御信号A→BENを出力する。その後、一方のダミー回路5d1の第2のダミー保持回路30BD1に第1のダミー保持回路20AD1のデータが入れ替わって、このデータ「1」が読み出しポート部31BRD1から実際に読み出されると、前記両制御信号A→BEN→D、A→BENの出力を所定の時間差をもって停止させると共に、今度は、他方のダミー回路5d2に対して、ダミーラッチ回路40D2から第1のダミー保持回路20AD2へのデータ入れ替え用の制御信号L→AEN→Dを出力すると共に、所定の時間差をもって図2の正規回路に対して、ラッチ回路40から第1の保持回路20Aへのデータ入れ替え用の制御信号L→AENを出力する。

【0082】

その後、制御信号生成回路71は、他方のダミー回路5d2において、ダミーラッチ回路40D2のデータ「1」が第1のダミー保持回路20AD2に転送されて、読み出しポート部21ARD2から読み出されると、前記両制御信号L→AEN→D、L→AENの出力を所定の時間差をもって停止させる。

【0083】

前記制御回路8に内蔵される検出回路70及び制御信号生成回路71により、ダミー回路5d1、5d2においてデータの入れ替えを実際にを行い、その実際の入れ替え時間の結果を反映して、図2に示した正規回路での2個の保持回路20A、30B間のデータの入れ替えを行うので、この正規回路でのデータの入れ替えを確実に行い、且つ、データの入れ替え終了後に前記制御信号B→LEN、A→BEN、L→AENの出力を終了することができる。

【産業上の利用可能性】

【0084】

以上説明したように、本発明は、1つのメモリセルに対して必要なポート数を従来に比して効果的に低減できると共に、データのアクセス時間も短時間で済む多ポート型レジスタファイルを持つ半導体集積回路として、有用であり、この半導体集積回路を備えた携帯電話や、ICカードチップ、又は据え置き型の電気製品としての使用に好適である。

【図面の簡単な説明】

【0085】

【図1】本発明の実施形態に係る半導体集積回路の構成を示す図である。

【図2】同半導体集積回路が有するレジスタファイルの内部構成の要部を示す図である。

【図3】同レジスタファイルでのデータの入れ替え動作のタイミングチャートを示す図である。

【図4】同半導体集積回路の書き込みポート部、読み出しポート部、保持回路及びラッチ回路の活性化率、構成トランジスタの閾値電圧及び電源電圧の関係を示す図である。

【図5】同半導体集積回路に備える基板電圧制御回路の内部構成を示す図である。

【図 7】同 D L L 回路から出力される各種信号のタイミングチャートを示す図である。

【図 8】同半導体集積回路に備える遅延電圧変換回路の内部構成を示す図である。

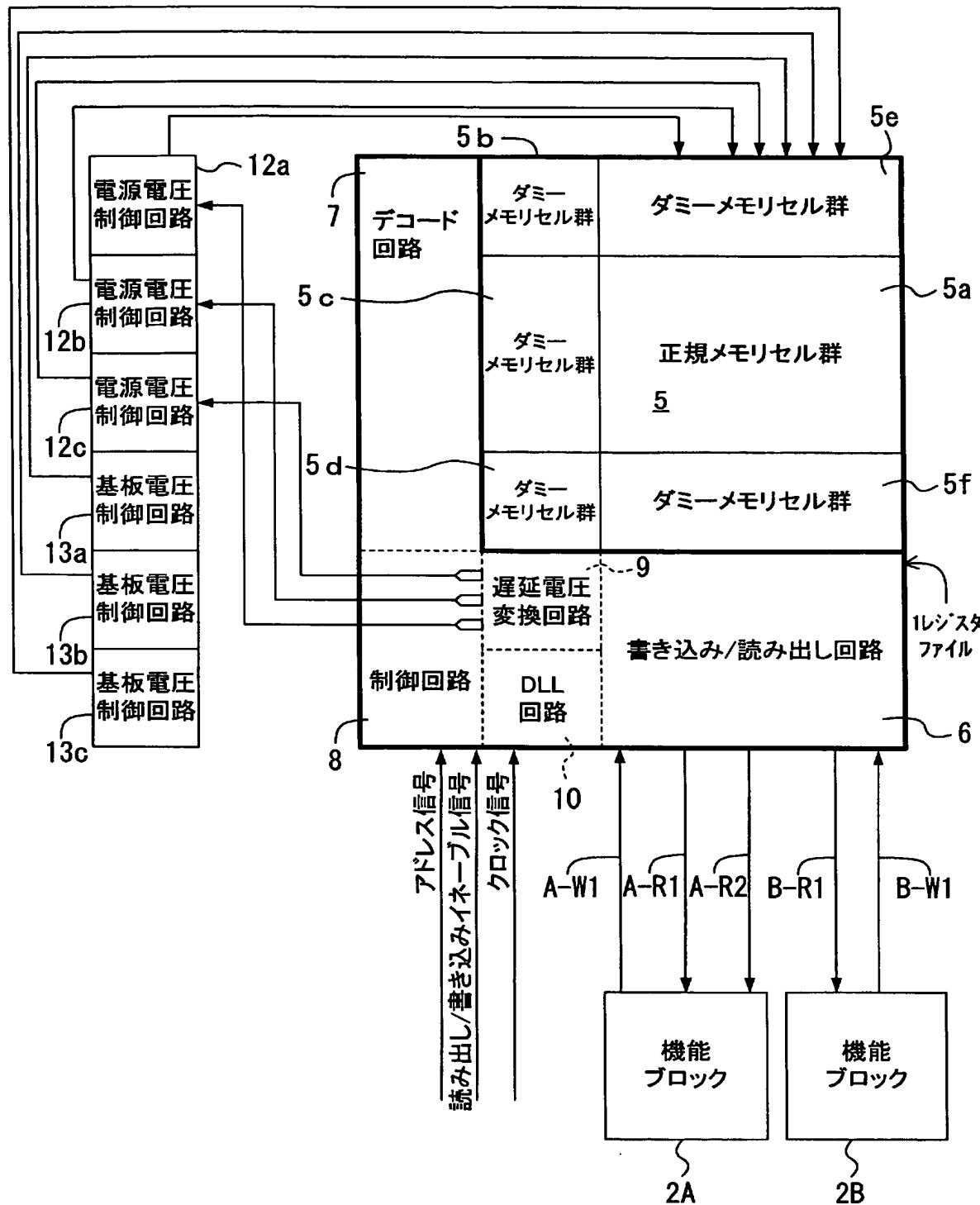
【図 9】同半導体集積回路を構成するトランジスタ列における動作速度の速い回路部と動作速度の遅い回路部の配置位置の概略を説明する図である。

【図 10】同半導体集積回路に備える制御回路の内部構成、及び 2 つのダミー回路を使用した実際のデータ入れ替えを反映した各種制御信号の生成の詳細を示す回路図である。

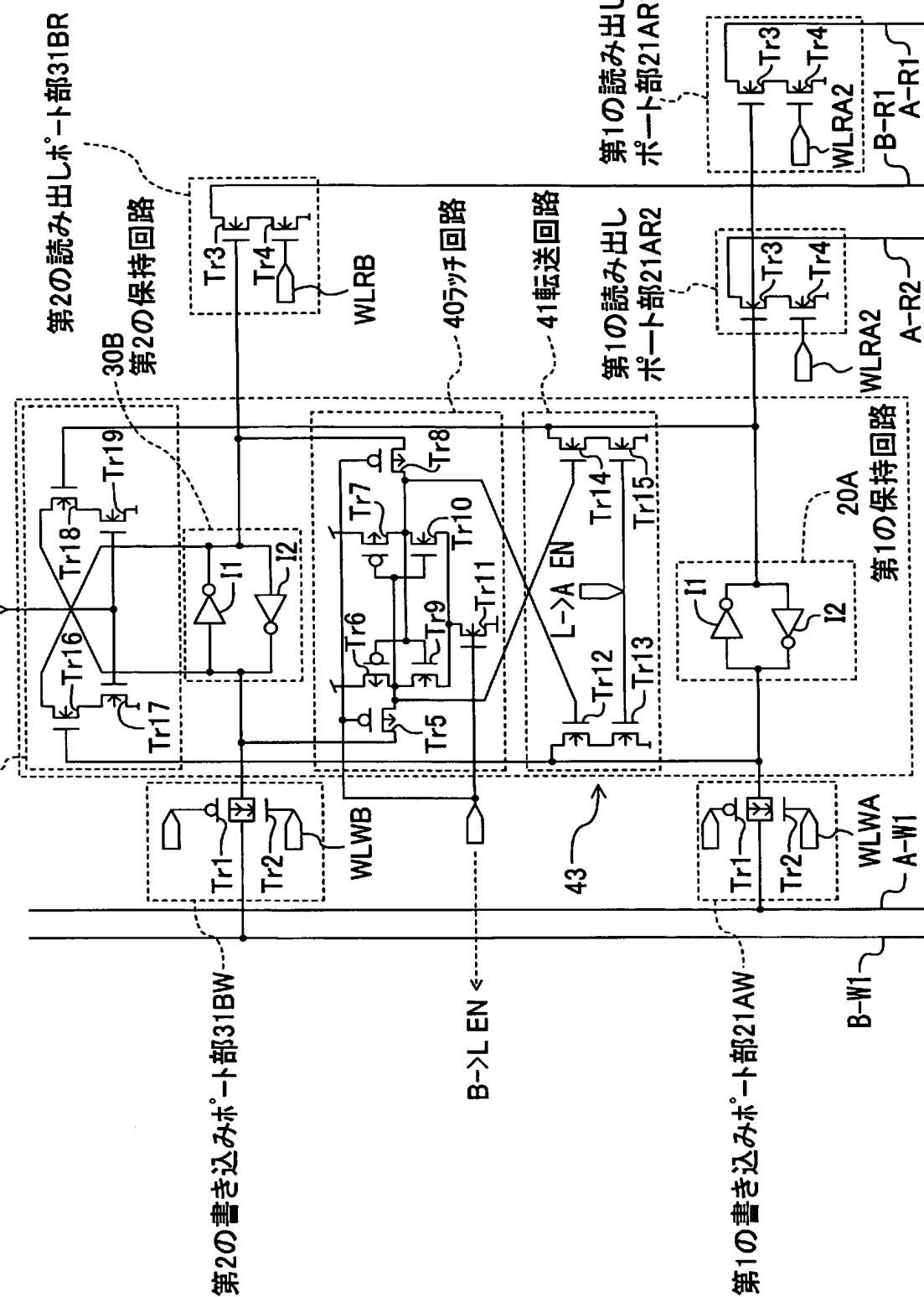
【符号の説明】

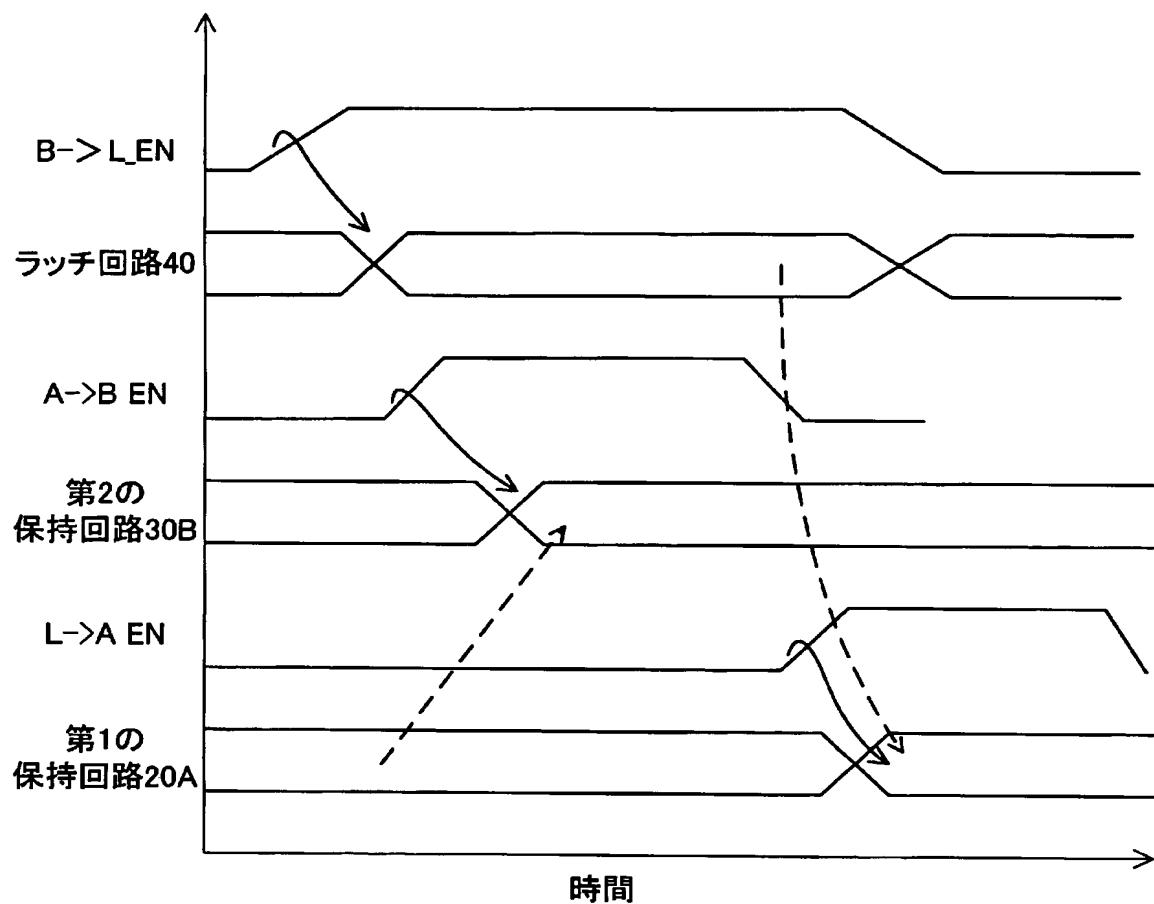
【0086】

1	レジスタファイル
2 A	第 1 の機能ブロック
2 B	第 2 の機能ブロック
5	メモリセルアレイ
5 a	正規メモリセル群
5 b ~ 5 f	ダミーメモリセル群
6	読み出し/書き込み回路
7	デコード回路
8	制御回路
9	遅延電圧変換回路
10	D L L 回路
12 a ~ 12 c	電源電圧制御回路
13 a ~ 13 c	基板電圧制御回路
20 A	第 1 の保持回路 (第 1 の情報保持回路)
20 A D 1 、 20 A D 2	第 1 のダミー保持回路 (第 1 のダミー情報保持回路)
30 B D 1 、 30 B D 2	第 2 のダミー保持回路 (第 2 のダミー情報保持回路)
21 A W	第 1 の書き込みポート部
21 A R 1 、 21 A R 2	第 1 の読み出しポート部
30 B	第 2 の保持回路 (第 2 の情報保持回路)
31 A W	第 2 の書き込みポート部
31 A R	第 2 の読み出しポート部
40	ラッチ回路 (一時的保持回路)
41 、 42	転送回路
43	入れ替え回路
61	トランジスタ列
70	検出回路
71	制御信号生成回路



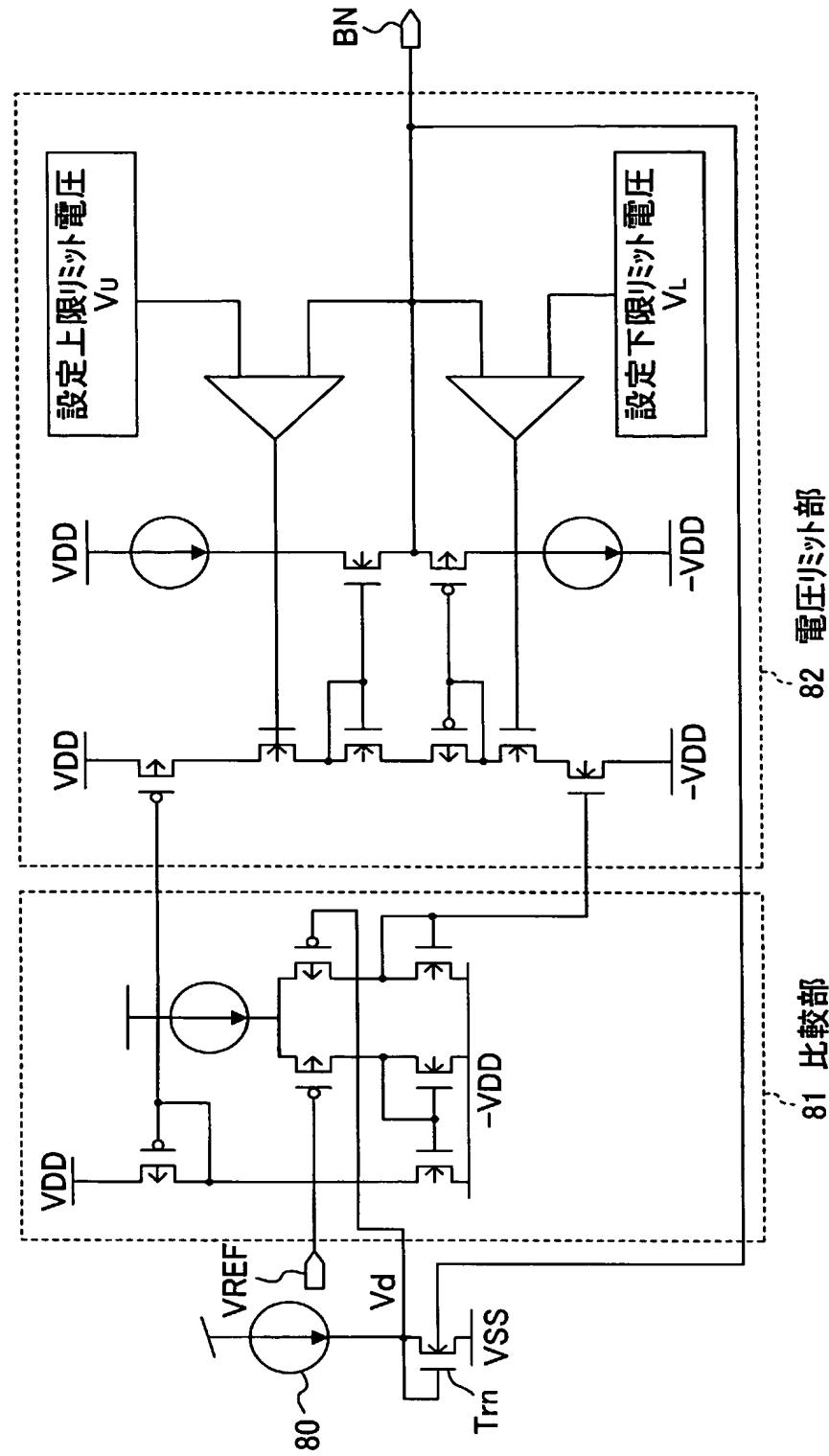
転送回路42 A->B EN





	活性化率 (アクセス頻度)	閾値電圧	電源電圧
第1の書き込みポート部21AW	1/32	200mV	1.0V
第2の書き込みポート部31BW	1/1000	400mV	0.8V
第1の読み出しポート部21AR1	1/32	200mV	1.0V
第1の読み出しポート部21AR2	1/32	200mV	1.0V
第2の読み出しポート部31BR	1/1000	400mV	0.8V
第1の保持回路20A	1/32	200mV	1.0V
第1の保持回路20B	1/1000	400mV	0.8V
ラッチ回路40C	1/10000	500mV	0.75V

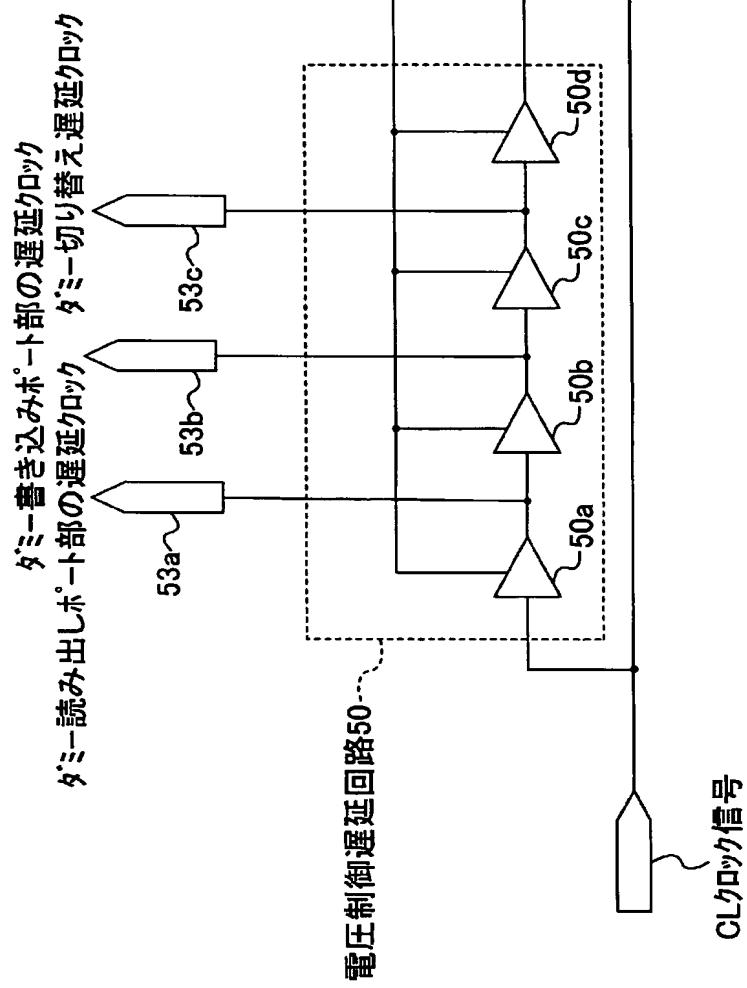
13a 基板電圧制御回路

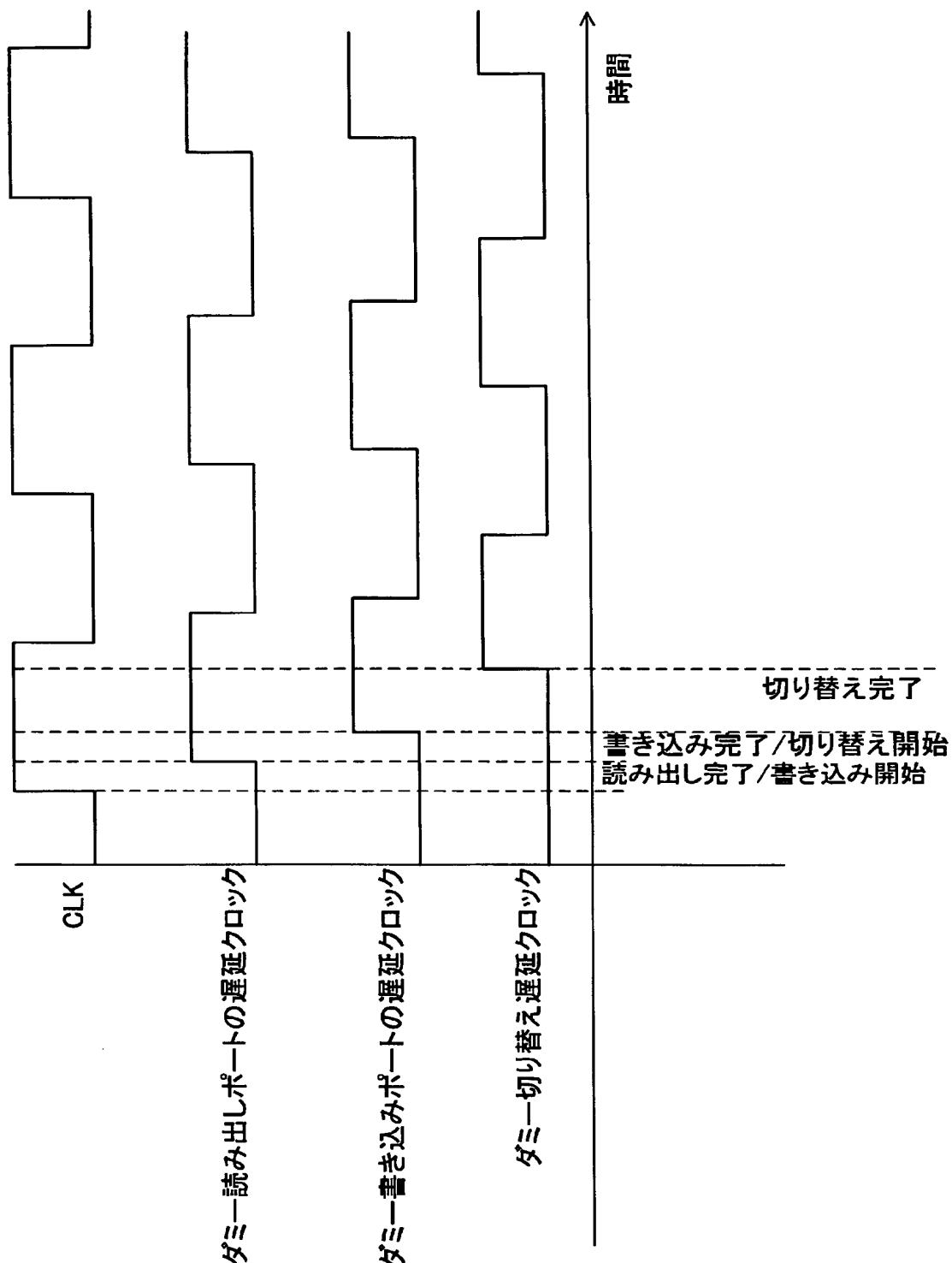


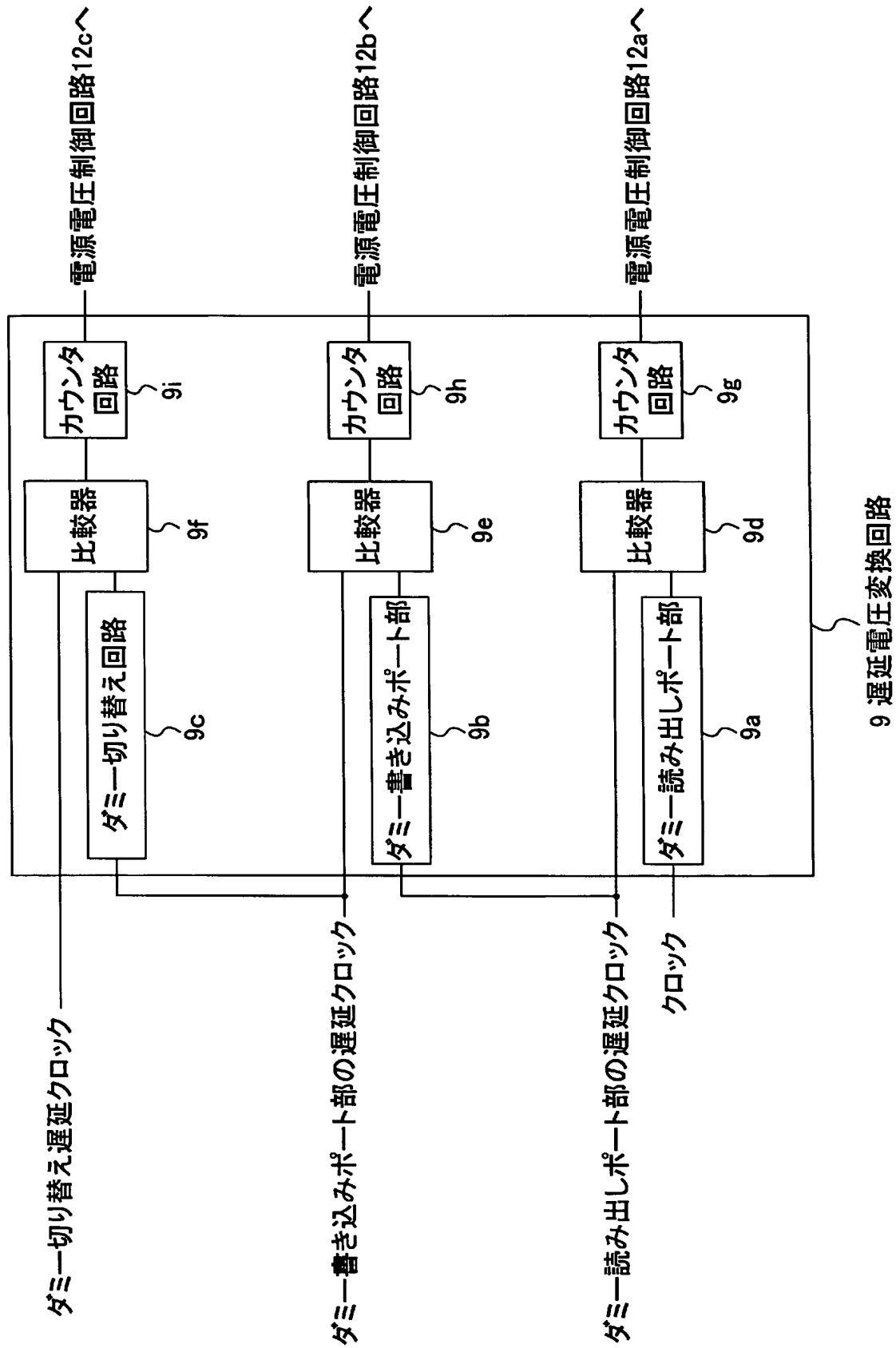
81 比較部

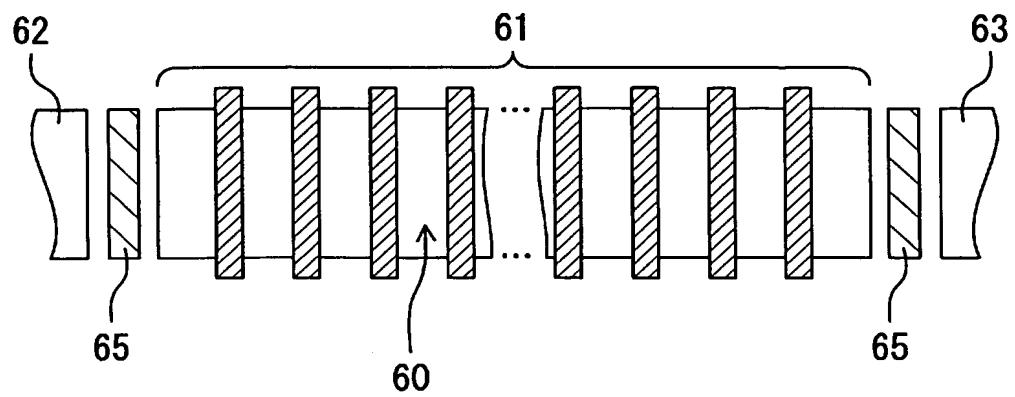
82 電圧リミット部

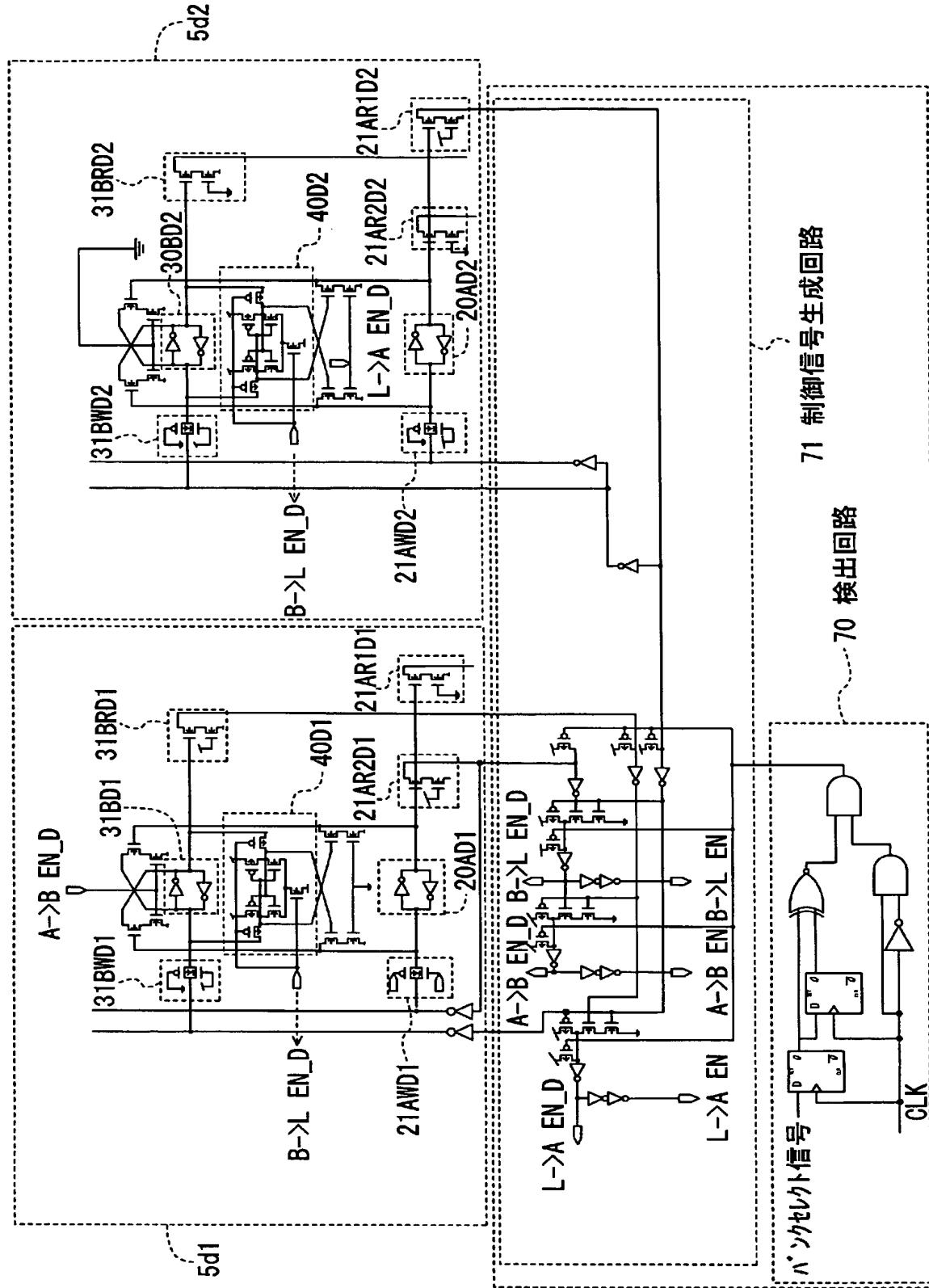
10 DLL回路











【要約】

【課題】 半導体集積回路において、多ポート構成のレジスタファイルの必要面積の大幅削減を図る。

【解決手段】 第1の保持回路20Aは、1つの第1の書き込みポート部21AW及び2つの第1の読み出しポート部21AR1、21AR2を持つ第1の機能ブロックに専用である。第2の保持回路30Bは、1つの第2の書き込みポート部31AW及び1つの第2の読み出しポート部31BRを持つ第2の機能ブロックに専用である。第1の保持回路20Aの保持データを例えば第2の読み出しポート部31BRから読み出す必要が生じた際には、第2の保持回路30Bのデータをラッチ回路40にラッチした後、第1の保持回路20Aのデータを第2の保持回路30Bに転送し、続いて前記ラッチ回路40にラッチした第2の保持回路30Bのデータを第1の保持回路20Aに転送して、データの入れ替えを行う。

【選択図】 図2

000005821

19900828

新規登録

大阪府門真市大字門真1006番地

松下電器産業株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/010473

International filing date: 08 June 2005 (08.06.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-171853
Filing date: 09 June 2004 (09.06.2004)

Date of receipt at the International Bureau: 22 July 2005 (22.07.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse